

03787524 ****Image available****

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 04-152624 [JP 4152624 A]

PUBLISHED: May 26, 1992.(19920526)

INVENTOR(s): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 02-278151 [JP 90278151]

FILED: October 17, 1990 (19901017)

INTL CLASS: [5] H01L-021/20; H01L-021/324; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1263, Vol. 16, No. 435, Pg. 115,
September 10, 1992 (19920910)

ABSTRACT

PURPOSE: To enable an Si film in large crystal particle diameter of several μm to be formed further enabling a clean Si/SiO₂ interface to be formed by a method wherein a non-single crystal semiconductor thin film is solid-grown on an insulating amorphous material in the oxygen atmosphere at the specified oxygen gas partial pressure.

CONSTITUTION: An insular amorphous silicon thin film 1-3 is solid-grown. The annealing atmosphere mainly comprising oxygen gas at the partial pressure exceeding 99.99% is applicable. That is, any mixed impurities are so little that the clean annealing step may be assured. The solid annealing temperature is specified to be at 500 deg.C-700 deg.C while at the low temperature, the crystal particles only in the crystal direction displaying feeble activating energy to the crystal growth are selectively and slowly grown larger. Furthermore, a very thin oxide film 1-5 is formed on the silicon surface simultaneously with the solid growth due to the heat treatment in the oxygen atmosphere. At this time, the thin oxide film 1-5 can be formed even at such a low temperature of 600 deg.C since the oxidation rate is accelerated in the initial oxidation phase. During the heat treatment process extending over 16 hours, the silicon crystal particle diameter exceeds 2.μm while the thin oxide film 1-5 becomes about scores of angstroms thick.

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

009102227 **Image available**

WPI Acc No: 1992-229657/199228

XRAM Acc No: C92-103268

XRPX Acc No: N92-174817

Prodn. of thin-film FET for liquid-crystal display panel - includes
growing amorphous semiconductor thin film on non-crystalline insulator
substrate by solid-phase epitaxy in oxygen@ atmos. NoAbstract

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4152624	A	19920526	JP 90278151	A	19901017	199228 B

Priority Applications (No Type Date): JP 90278151 A 19901017

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4152624	A		6 H01L-021/20	
------------	---	--	---------------	--

Title Terms: PRODUCE; THIN; FILM; FET; LIQUID; CRYSTAL; DISPLAY; PANEL;
GROW; AMORPHOUS; SEMICONDUCTOR; THIN; FILM; NON; CRYSTAL; INSULATE;
SUBSTRATE; SOLID; PHASE; EPITAXIAL; OXYGEN; ATMOSPHERE; NOABSTRACT

Index Terms/Additional Words: LCD

Derwent Class: L03; U11; U14

International Patent Class (Main): H01L-021/20

International Patent Class (Additional): H01L-021/324; H01L-029/784

File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-152624

⑬ Int.Cl.⁵

H 01 L 21/20
21/324
29/784

識別記号

庁内整理番号

9171-4M

⑭ 公開 平成4年(1992)5月26日

9056-4M H 01 L 29/78 311 F

審査請求 未請求 請求項の数 5 (全6頁)

⑮ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 平2-278151

⑰ 出 願 平2(1990)10月17日

⑱ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁性非晶質材料上の非単結晶半導体薄膜を固相成長させる工程を少なくとも有する薄膜半導体装置の製造方法において、前記固相成長法は、酸素ガス分圧99.99%以上の酸素雰囲気中で行うことを特徴とする薄膜半導体装置の製造方法。

(2)

(a) 絶縁性非晶質材料上に水素を含有する非単結晶半導体薄膜を堆積させる工程、

(b) 該非単結晶半導体薄膜を熱処理することにより水素を放出させる工程、

(c) 固相成長法により該非単結晶半導体薄膜を結晶成長させる工程、

(d) 結晶成長させた非単結晶半導体薄膜に半導体装置を形成する工程を少なくとも有することを特徴とする請求項1記載の薄膜半導体装置の製造方法。

(3) 前記非単結晶半導体薄膜を、プラズマCVD法により堆積させることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

(4) 前記非単結晶半導体薄膜を熱処理することにより水素を放出させる工程において、熱処理温度が400~500℃であることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

(5) 前記固相成長法は、500~700℃の低温アニールであることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜半導体装置及びその製造方法に係わり、特に、結晶性の優れたシリコン薄膜を利用した薄膜半導体装置及びその製造方法に関する。

〔従来の技術〕

近年、SOIあるいは、三次元ICや、大型液晶表示パネルや、高速で高解像度の密着型イメージセンサ等へのニーズが高まるにつれて、絶縁性非晶質材料上に、高性能な薄膜半導体装置の実現する技術が重要になってきた。

石英基板、ガラス基板等の絶縁性非晶質基板あるいは SiO_2 等の絶縁性非晶質層上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜、あるいは単結晶シリコン薄膜を形成する方法は、SOI (Silicon On Insulator) 技術として知られている。(参考文献 S

〔発明が解決しようとする課題〕

従来の技術では、多結晶シリコン薄膜をCVD法で成膜し、 Si^+ をイオン注入して該多結晶シリコン薄膜を非晶質化した後、800℃程度の熱処理を100時間近く行っていた。このため、高価なイオン注入装置を必要としたほか、熱処理時間が極めて長いという欠点があった。

また、固相成長法においては、酸素等の不純物によって結晶成長が妨害される。そこで、EB蒸着法、スパッタ法、MBE法等で非晶質シリコン薄膜を成膜する場合は、極めて清浄で、しかも超高真空なチャンバー内で成膜しなければいけない。従って、量産時の能力に問題があり、メンテナンスも容易ではなくなる。

プラズマCVD法で成膜された非晶質シリコン薄膜は、不純物は非常に少ないが、膜中に多くの水素を含んでいる。その水素が固相成長を阻するため、あるいは急激な熱処理により水素が爆発的に放出するために、固相成長させる非晶質シリコン薄膜の成膜方法としてプラズマCVD法は

OI構造形成技術(産業図書)。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法は、レーザーアニールあるいは電子ビームアニールによりシリコンを溶融再結晶化させる方法と、熱処理により溶融する温度までは昇温させずに結晶成長させる固相成長法の2つに分類される。前記レーザーアニール等による溶融再結晶化法は、大面積化に対して技術的困難が大きい。この方法に比較して、低温熱処理においても容易に再結晶化できるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。(参考文献 IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987)。そこで、本発明は、固相成長法における従来技術の問題点を解決し、より優れた固相成長技術の確立を主旨とする。

適していないと従来考えられていた。

低温で良質のゲート絶縁膜を形成する技術が重要となってきた。熱酸化法は、900～1200℃程度の高温プロセスであるため、(1)安価なガラス基板上に素子を形成できない。(2)不純物の横拡散。(3)三次元ICでは下層部の素子に悪影響(不純物の拡散など)を与える。(4)ポリ-Siの熱酸化膜は絶縁耐圧が不十分で界面単位密度が大きい等の問題がある。現在、CVD法や、光CVD法や、プラズマCVD法などでゲート酸化膜を形成する技術が検討されている。

本発明の目的は、上述の問題点を解決し、簡便で実用的なプラズマCVD法で成膜された非晶質シリコン薄膜を熱処理することにより、大粒径の多結晶シリコン薄膜を形成すると同時により優れたゲート酸化膜を形成できる固相成長法を提供することである。

〔課題を解決するための手段〕

本発明の薄膜半導体装置の製造方法は、

(1) 絶縁性非晶質材料上の非単結晶半導体薄膜を固相成長させる工程を少なくとも有する薄膜半導体装置の製造方法において、前記固相成長法は、酸素ガス分圧99.99%以上の酸素雰囲気中で行うことを特徴とする。

(2)

(a) 絶縁性非晶質材料上に水素を含有する非単結晶半導体薄膜を堆積させる工程、

(b) 該非単結晶半導体薄膜を熱処理することにより水素を放出させる工程、

(c) 固相成長法により該非単結晶半導体薄膜を結晶成長させる工程、

(d) 結晶成長させた非単結晶半導体薄膜に半導体装置を形成する工程を少なくとも有することを特徴とする。

(3) 前記非単結晶半導体薄膜を、プラズマCVD法により堆積させることを特徴とする。

(4) 前記非単結晶半導体薄膜を熱処理するこ

ろを、13.56MHzの高周波グロー放電により分解させて非晶質Si膜1-2を堆積させる。前記混合ガスの SiH_4 分圧は10~20%、デボ中の内圧は0.5~1.5torr程度である。基板温度は250℃以下、180℃程度が適している。赤外吸収測定より結合水素量を求めたところ約8at.omic%であった。

続いて、該非晶質Si膜を、400℃~500℃で熱処理して水素を放出させる。この工程は、水素の爆発的な脱離を防ぐことを目的としている。

次に前記非晶質シリコン薄膜1-2をフォトリソグラフィ法によりパターンニングして第1図(b)1-3に示すように島状非晶質シリコン薄膜にする。

次に、前記島状非晶質シリコン薄膜1-3を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、酸素ガス主体とする。酸素ガス分圧を99.99%以上とする。この様な酸素ガス雰囲気では混入不純物が非常に少なく、清浄なアニール処理がで

により水素を放出させる工程において、熱処理温度が400~500℃であることとを特徴とする。

(5) 前記固相成長法は、500~700℃の低温アニールであることを特徴とする。

[実施例]

絶縁性非晶質材料上に、非単結晶半導体薄膜を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいは SiO_2 膜等が用いられる。石英基板を用いる場合はプロセス温度は1200℃程度まで許容されるが、ガラス基板を用いる場合は、600℃以下の低温プロセスに制限される。また、不純物の放出拡散を抑えるために酸化膜あるいは窒素化膜を堆積させた石英基板やガラス基板を用いる場合もある。本発明は、石英基板を用い、前記非単結晶半導体薄膜としてSi薄膜を用いた場合を実施例として説明する。プラズマCVD装置を用い、第1図(a)に示すように石英基板1-1上に、 SiH_4 と H_2 の混合

きる。固相成長アニール温度は500℃~700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。しかも酸素雰囲気中での熱処理なので固相成長と同時にシリコン表面には非常に薄い酸化膜が形成される。シリコンの酸化工程は酸化膜厚の範囲によって大きく2つの領域に分類される。1つは膜厚が約20nm以下の初期増速酸化の領域であり、他方は20nm以上の酸化膜厚で定着されるlinear-parabolic酸化領域である。酸化初期では酸化速度が増速されるので600℃という低温にもかかわらず薄い酸化膜が形成される。16時間の熱処理でシリコンの結晶粒径は2μm以上、酸化膜厚は数十nm程度となる。第1図(c)において、1-4は固相成長シリコン薄膜を示し、1-5は酸素雰囲気中で固相成長したことによって形成された薄い酸化膜を示している。

次に第1図(d)に示されているように、ゲー

ト酸化膜1-6を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面単位の少ない優れた膜となる。非晶質絶縁基板1-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。シリコン表面には薄い酸化膜1-5がすでに形成されているが、その膜厚は数十Åと薄いので前述したとおり初期増速酸化の領域である。従って、Si/SiO₂界面の酸化が進行し、優れた界面が形成される。

次に第1図(e)に示されるように、ゲート電極1-7を形成する。該ゲート電極材料としては

1×10^{15} から $1 \times 10^{18} \text{ cm}^{-3}$ 程度とする。前記薄い酸化膜1-5と前記ゲート酸化膜1-6との総合膜厚が例えば1200Åの場合、リンイオンは80~120keV程度、ボロンイオンは30~80keV程度の加速電圧でイオン注入する。

続いて第1図(g)に示されるように、層間絶縁膜1-11を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH₃)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲート酸化膜界面あるいはシリコン膜中の結晶粒界に存在するダングリングボンドなどの欠陥が不活性

多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO₂などのような透明性導電膜などを用いることができる。成膜方法としては、CVD法、スパッタ法、真空蒸着法、プラズマCVD法等の方法があるが、ここでの詳しい説明は省略する。

続いて第1図(f)に示すように、前記ゲート電極1-7をマスクとして不純物をイオン注入し、自己整合的にソース領域1-8およびドレイン領域1-9を形成する。前記不純物としては、Nc hトランジスタを作製する場合はP⁺あるいはAs⁺を用い、Pc hトランジスタを作製する場合はB⁺等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法あるいはイオンシャワー法などの方法がある。1-10で示される矢印は不純物のイオンビームを表している。前記絶縁性非晶質材料1-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、

化され、電気的特性が飛躍的に改善される。この様な水素化工程は、層間絶縁膜1-11を積層する前におこなってもよい。

次に第1図(h)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極1-12およびドレイン電極1-13とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

〔発明の効果〕

プラズマCVDによって成膜された非晶質Si膜は多い場合は数10%の水素を含んでいる。そして、TEM観察、ラマン測定、X線回折測定、ESR測定、SIMS分析等の結果より、非晶質Si膜中に含まれる水素が、固相成長を遅らせていることが知られている。従って、従来の固相成長法では、非晶質Si膜から水素が脱離するのに長時間を要し、2μm以上の大粒径Si膜を成長

させるためには 100 時間に近い長時間アニールが必要であった。また、固相成長後、いったん大気に出してからゲート酸化膜を形成していたので界面に不純物が付着したり界面準位が多くなるという問題があった。

本発明においては、固相成長の前に、400℃～500℃の熱処理により水素を放出させて、爆発的な水素の放出を防ぎ空孔等の欠陥の発生を極力抑えた。そして島状にパターンニングした後、酸素雰囲気中で固相成長させるので、固相成長のアニール温度が 600℃程度の低温でも結晶核発生に長時間アニールを必要とせず、潜伏時間を非常に短くすることが可能となる。酸素雰囲気中の酸素純度が 99.99% 以上なので不純物の少ない酸化膜が形成される。また、シリコン膜が固相成長すると同時にシリコン表面が連続的に酸化されるので、極めて清浄な界面が形成される。この様に、本発明は、数 μm の結晶粒径をもった大粒径の Si 膜を形成することを可能にするばかりでなく、清浄な Si/SiO₂ 界面の形成に対して極めて大

きな効果がある。

1～2 時間という非常に短時間で大粒径の Si 膜が得られるので、薄膜トランジスタを作成する場合の工程時間の短縮化、及びスループットの向上、ひいてはコストダウンに対して本発明は極めて大きな効果がある。

非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作製することが可能になったので SOI 技術の発展に大きく寄与するものである。フォトリソ工程数はまったく増えない。600℃以下の低温のプロセスでも作製が可能なので、価格が安く耐熱温度が低いガラス基板をもちいることができる。優れたシリコン薄膜が得られるのにかかわらずコストアップとはならない。

本発明によって得られた大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタの ON 電流は増大し OFF 電流は小さくなる。またスレッショールド電圧も小さくなりトランジスタ特性が大きく改善される。N チャネルと

P チャネルとの特性の不釣り合いさも改善される。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に応用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が

可能となり、一本のチップで A4 サイズあるいは A3 サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板 (Al₂O₃) あるいは MgO・Al₂O₃、BP、CaF₂ 等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのような SOI 技術を利用した素子に対しても、本発明を応用することができる。

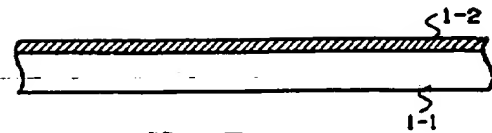
4. 図面の簡単な説明

第 1 図 (a) から (h) は、本発明の実施例を示す TFT の工程断面図である。

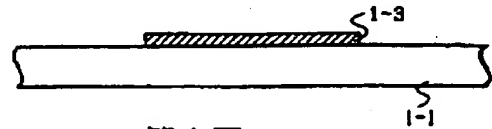
- 1-1 ; 絶縁性非晶質材料
- 1-2 ; 非晶質 Si 膜
- 1-4 ; 固相成長させた Si 膜
- 1-5 ; 固相成長中に形成された
薄い酸化膜
- 1-6 ; ゲート酸化膜

以上

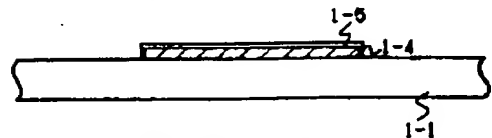
出願人 セイコーエプソン株式会社
代理人弁理人 鈴木喜三郎 他 1 名



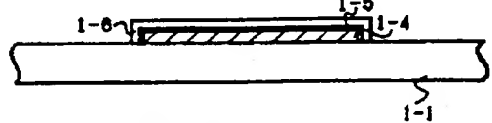
第1図 (a)



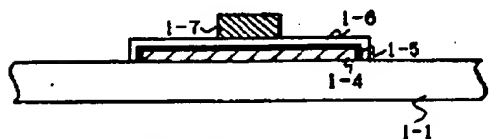
第1図 (b)



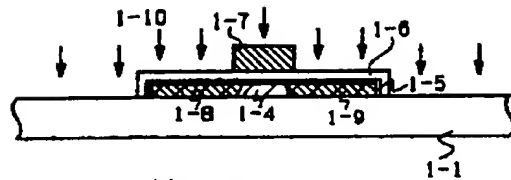
第1図 (c)



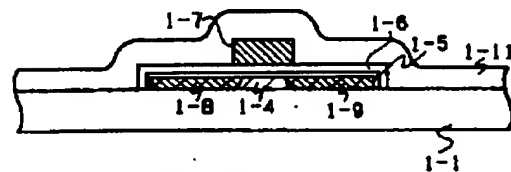
第1図 (d)



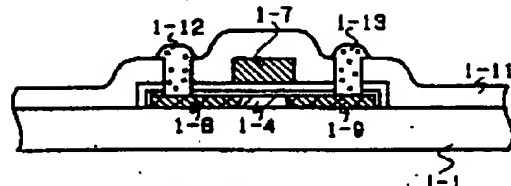
第1図 (e)



第1図 (f)



第1図 (g)



第1図 (h)